

基于HTO的LDMOS器件结构及其 热载流子注入退化研究

邵红, 李永顺, 宋亮, 金华俊, 张森
(无锡华润上华科技有限公司器件工程部, 江苏无锡 210041)

摘要: 为满足中低压消费电子的市场需求, 小尺寸高密度 Bipolar-CMOS-DMOS 技术得到了蓬勃发展, 低损耗和高可靠成为 Bipolar-CMOS-DMOS 技术中横向双扩散金属氧化物半导体场效应管 (Lateral Double-diffused Metal-Oxide-Semiconductor field effect transistor, LDMOS) 设计的重点和难点. 本文介绍了一种基于高温氧化层 (High Temperature Oxidation layer, HTO) 结构的 LDMOS, 并对其热载流子注入退化机制进行了研究分析, 利用高温氧化层结构改善了传统浅槽隔离 (Shallow Trench Isolation, STI) 结构中氧化物台阶嵌入半导体内部对器件热载流子注入造成的不利影响, 提高器件可靠性, 同时还缩短了器件导通情况下的电流路径长度, 降低损耗. 此外本文还提出了对 P 型体区的工艺优化方法, 利用多晶硅作为高能量离子注入的掩蔽层, 改善阱邻近效应对器件鲁棒性的影响, 同时形成更深的冶金结, 可以辅助漂移区杂质离子耗尽, 降低漂移区表面电场, 在不需要额外增加版次的情况下提高了器件击穿电压. 最终得到的基于 HTO 结构的 LDMOS 击穿电压为 43 V, 比导通电阻为 $9.5 \text{ m}\Omega \cdot \text{mm}^2$, 线性区电流在 10 000 s 之后的退化量仅为 0.87%.

关键词: 横向双扩散金属氧化物半导体场效应管; 热载流子注入; 高温氧化层; 低损耗; 高可靠性
中图分类号: TN386 **文献标识码:** A **文章编号:** 0372-2112(2024)05-1582-09
电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.12263/DZXB.20230025

Research on HTO-Based LDMOS Device Structure and Its Hot Carrier Injection Degradation

SHAO Hong, LI Yong-shun, SONG Liang, JIN Hua-jun, ZHANG Sen
(Device Department of Central Semiconductor Manufacturing Corporation, Wuxi, Jiangsu 210041, China)

Abstract: In order to meet the market demand of medium and low voltage consumer electronics, the small size and high density Bipolar-CMOS-DMOS technology has been vigorously developed. Low loss and high reliability have become the focus and difficulty in the design of lateral double-diffused metal-oxide-semiconductor field effect transistors in Bipolar-CMOS-DMOS technology. This paper introduces a lateral double-diffused metal-oxide-semiconductor field effect transistor based on the high temperature oxidation layer structure, and studies and analyzes the degradation mechanism of its hot carrier injection. The high temperature oxidation layer structure is used to improve the traditional shallow trench isolation structure, in which the oxide steps embedded in the semiconductor have adverse effects on the hot carrier injection of the device. Thus improve the reliability of the device. The proposed structure shortens the current path length in the on state of the device and reduces the loss. In addition, this paper also proposes a self-aligned implantation process optimization method for the P-type body region. By increasing the implantation process of the high-energy body region, the depletion region in the accumulation area is expanded, the surface electric field of the drift region is reduced, and the breakdown voltage is improved. The proposed HTO-LDMOS has a breakdown voltage of 43 V, a specific on-resistance of $9.5 \text{ m}\Omega \cdot \text{mm}^2$, and a linear region current degradation of 0.87% after 10 000 s.

Key words: lateral double-diffused metal-oxide-semiconductor field effect transistor; hot carrier injection; high temperature oxidation layer; low loss; high reliability

1 引言

横向双扩散金属氧化物半导体场效应管(Lateral Double-diffused Metal-Oxide-Semiconductor field effect transistor, LDMOS)作为集成电路中的功率输出器件和开关器件,在显示驱动、汽车电子等领域得到了广泛应用^[1-3]. 但是随着工艺线宽的缩小,LDMOS器件的尺寸越来越小,因此电场分布也会更加集中,较高的电场增加了载流子动能,导致碰撞电离率增大,为提高器件击穿电压和可靠性带来了巨大的挑战^[4].

随着沟道开启,由于沟道区电场增大,载流子在强电场作用下将得到更大的能量从而形成热载流子^[5],在栅极电场作用下,热载流子有一定几率通过隧穿进入栅氧化层形成缺陷或者界面态^[6-8],从而引起热载流子注入(Hot Carrier Injection, HCI). 热载流子注入在深亚微米的器件中导致的可靠性问题尤为严重^[9,10]. 本文通过无锡华润上华科技有限公司 0.18 μm BCD 工艺平台

设计并制造了一种 24 V 电压等级的高可靠低损耗的 HTO-LDMOS 器件(图 1). 高温氧化层(High Temperature Oxide, HTO)结构取代浅槽隔离(Shallow Trench Isolation, STI)结构可以显著改善由于 STI 结构嵌入半导体内部形成阶梯形的氧化层从而带来的可靠性问题^[11-13],同时还通过缩短器件导通状态下载流子的流动路径,降低了器件的比导通电阻. 此外,本文还对 P 型体区(P-Body)进行工艺优化,先淀积多晶硅,利用多晶硅作为高能离子注入的掩蔽层,进行高能量的 P-body1 注入,形成更深的冶金结,并且利用多晶硅作为杂质离子注入的缓冲层,防止阱邻近效应(Well Proximity Effect, WPE)导致的鲁棒性问题,然后再进行多晶硅刻蚀形成栅极,最后进行 P-body2 的自对准注入. 通过更深的 P-body1 结深^[14]增强对漂移区杂质离子的耗尽,降低漂移区表面电场,提高 HTO-LDMOS 器件的击穿电压.

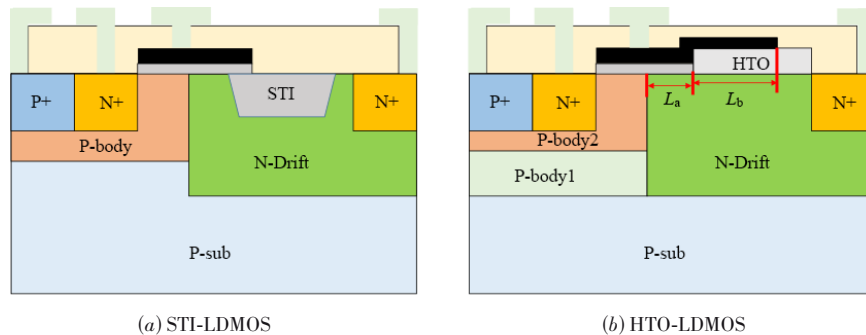


图 1 24 V nLDMOS 器件剖面结构示意图

2 器件结构与机理

2.1 器件结构与制造工艺

为了提高 LDMOS 器件的耐压,当前广泛使用的 STI 结构的 LDMOS 器件通过氧化物沟槽与栅极场板降低漂移区表面电场^[15,16]. 但是 STI-LDMOS 器件由于 STI 结构的氧化物呈嵌入有源区的梯形,其与有源区的界面总长度更长,导致器件导通状态下电流流动路径增加,从而导致较高的比导通电阻. 而且由于 STI 氧化物嵌入半导体内部^[17],当沟道开启时沟道区较强的电场会在靠近 STI 拐角附近发生较强的碰撞电离,产生的热载流子也将更加轻松地发生隧穿进入氧化层形成界面态,从而导致器件的可靠性问题^[18,19]. HTO-LDMOS 通过在半导体表面淀积氧化层并通过高温退火处理的方法与多晶硅形成场板结构,有效避免了由于 STI 氧化物嵌入半导体内部对 LDMOS 器件追求低损耗和高可靠带来的不利影响^[20,21].

HTO-LDMOS 的关键制造工艺流程如图 2 所示. 与传统的 STI-LDMOS 相比,在工艺上的不同点主要体现

在以下两点:一是将 STI 结构换为 HTO,并通过高温退火处理尽可能去除掉氧化层中的 H 原子,从而有效减少了半导体和氧化物界面的 Si-H 键数目,减少了陷阱和界面态密度;二是增加了一次高能量的 P-Body 注入,并通过多晶硅作为离子注入的掩蔽层消除阱邻近效应的影响. 与传统 STI-LDMOS 的工艺流程相比,只需要将 STI 掩模版更换为 HTO 掩模版,并不需要增加额外的成本.

2.2 热载流子注入退化机理

在 LDMOS 结构中,由于二氧化硅界面的缺陷会俘获电子或者空穴,再加上半导体内部由于较高电场引起的碰撞电离,从而诱发雪崩效应产生大量的高能量载流子,当这些载流子的能量比费米能级还要大几个 kT 以上时便成为热载流子. 热载流子与晶格处于非热平衡状态,具有较高能量的热载流子在栅极电场的作用下甚至会越过 Si-SiO₂ 的界面势垒,注入氧化层中被氧化层中的陷阱中心所俘获. 部分幸运电荷还会导致氧化层界面 Si-H 键的断裂,从而形成更多的界面陷阱

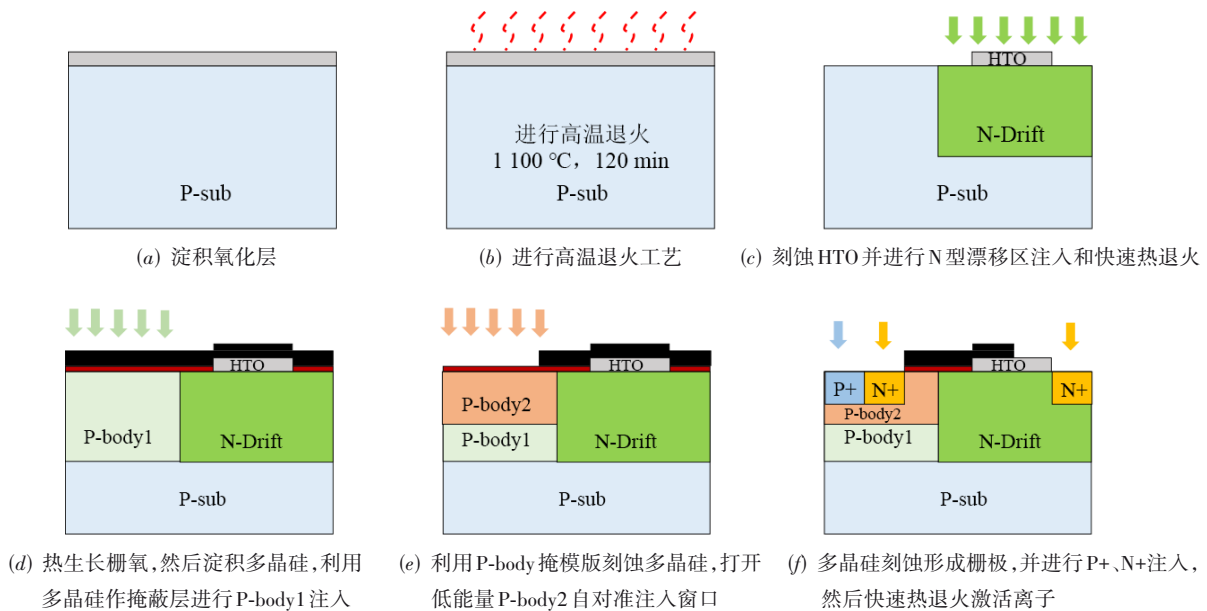


图2 0.18 μm BCD工艺平台24 V HTO-LDMOS关键工艺流程示意图

电荷 N_{it} , 这种界面态又会导致漂移区载流子迁移率的降低. 迁移率降低之后导致表面路径上电流减小, 比导通电阻增大. 而且被氧化层俘获的电荷还会影响跨导, 导致器件阈值电压的漂移. 图3展示了当半导体内部发生碰撞电离后, 热电子和热空穴越过 Si-SiO₂ 界面打破 Si-H 键进而产生界面态的情形. 对于本文所研究的 N 沟道 LDMOS 器件, 由于栅极电场为正, 被介质层俘获的热载流子通常为热电子, 热电子注入会进一步导致阈值电压增加, 线性区电流减小, 比导通电阻增大. 因此为了评估热电子注入对 LDMOS 器件 HCI 可靠性的影响, 本文主要通过对阈值电压和线性区电流的退化进行表征.

而热电子注入又分为衬底热电子和沟道热电子效应. 衬底热电子效应主要发生于某些衬底到源极压差较大的自举结构中, 热产生的电子以及从衬底中性区扩散到势垒区的电子在势垒区电场加速下, 运动到 Si-SiO₂ 界面被氧化层中的电子陷阱俘获, 从而改变氧化层中的电荷量, 相应地就会调制硅的表面势, 引起了跨导的下降和阈值电压的漂移. 对于本文所研究的器件结构, 导致热载流子注入退化的主要因素为沟道热电子. 沟道热电子是从源区向漏区运动的电子在沟道区和漏区较高电场作用下成为加速运动的热电子, 这部分热电子被赋予更高的能量从而越过 Si-SiO₂ 界面被氧化层陷阱中心俘获. 陷阱中心又存在施主陷阱和受主陷阱, 当受主陷阱占据俘获中心时, 热电子会注入氧化层, 导致阈值电压增加, 反之则会降低. 当氧化层中电荷量发生的变化随着应力时间逐渐积累, 就会导致阈值电压发生漂移. 而线性区电流的退化主要是由于器件导通

时电流流经沟道发生沟道热电子注入, 从而导致线性区电流减小, 并且随着应力时间增加, 其退化量逐渐增大. 图4展示了沟道热电子的注入机制示意图.

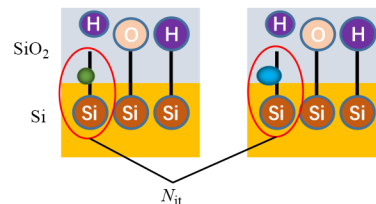


图3 界面态陷阱的形成机制示意图

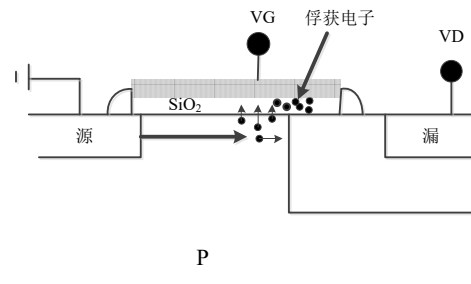


图4 沟道热电子注入机制示意图

HTO-LDMOS 首先在结构上改善了载流子的流动路径, 从而减少了载流子在 Si-SiO₂ 界面的流动路径长度, 因此在器件导通时, 载流子在大电场下发生热注入的概率就会大大降低, 减少了界面态的形成. 其次, HTO 结构经过了 1 000 °C 以上的高温退火, 消除了氧化物中 Si-H 键的数量, 氧化物结构更加致密, Si-SiO₂ 界面陷阱更难出现. 因此 HTO-LDMOS 可以显著减少由于热载流子注入导致的器件性能退化问题, 尤其是减小

中栅压高漏压应力条件下,电场主要集中在HTO前端边缘区域时,导致的严重的热载流子注入效应,从而提高器件的可靠性。

3 结果与讨论

3.1 HTO 结构优化

为了确定合适的HTO结构,本文通过TCAD仿真软件对HTO的长度和厚度进行了仿真研究与分析. 本文所使用的仿真工具为Sentaurus,选用的主要物理模型包括电离杂质散射模型(doping dependent mobility models)、准费米势体梯度模型(grad quasi Fermi)、高场速度饱和迁移率模型(high field saturation)以及间接复合(Shockley-Read-Hall recombination, SRH)、俄歇复合(Auger)、碰撞电离模型(impact ionization model). 此外,为了提高运算的收敛性,对于仿真边界条件进行了额外的设置,将面积因子设置为20,并设置了电阻为 $2 \times 10^5 \Omega$ 的阻性接触. 经过前期的校准工作,仿真结果与实测结果有较好的匹配,仿真精度可以满足设计要求. 本结构中器件的其他关键参数分别为:漂移区表面的浓度为 $1 \times 10^{17} \text{ cm}^{-3}$,沟道区浓度为 $6 \times 10^{17} \text{ cm}^{-3}$,沟道长度 $0.3 \mu\text{m}$,漂移区长度 $2.25 \mu\text{m}$,栅氧厚度 130 \AA . 只有得益于长度和厚度满足最优条件的

HTO结构,LDMOS器件的漂移区表面电场分布才会更加均匀,碰撞电离的峰值更低,位置更加远离界面,HTO-LDMOS才会表现出更高的可靠性。

HTO长度方向上对HCI可靠性的影响主要体现在HTO与多晶硅场板交叠区域的长度大小 L_b . 当栅压高于阈值电压时,沟道反型,电子在沟道中受到较强的电场影响加速向漏端运动,由于HTO与多晶硅栅交叠部分的边缘所存在的大电场会引起严重的HCI效应,因此需要减少积累区长度,增加 L_b 长度,使得漂移区表面尽量多地被更加致密的HTO结构覆盖,从而避免载流子在该区域产生热载流子注入形成界面态和陷阱的概率. 图5(a)的仿真结果展示了 L_b 长度对器件表面横向电场的分布影响,长度越长,漂移区表面峰值电场越平缓,对应的碰撞电离相应减弱,HCI可靠性越高。

然而,随着积累区长度减小,多晶硅栅前端电场会明显增强,由于栅氧化层厚度较小,前端的大电场容易导致栅氧介质提前击穿,从而对器件的击穿电压造成不利影响. 图5(b)展示了 L_b 长度对器件击穿电压的影响趋势. 由此可以得出结论,当 L_b 长度为 $0.4 \mu\text{m}$ 时,HTO-LDMOS既可以满足击穿电压的需求,也能尽可能地均匀表面电场,提高HCI可靠性。

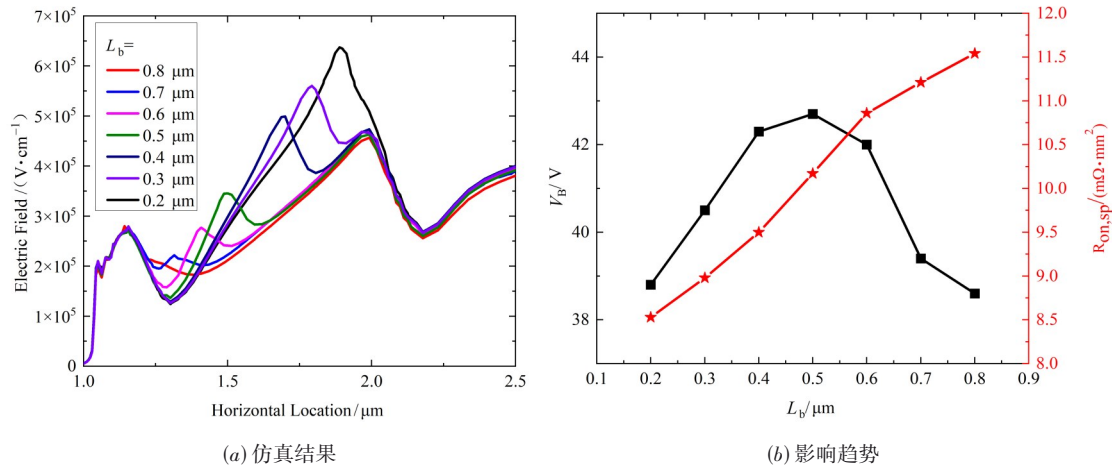


图5 L_b 长度对表面电场和器件特性的影响

HTO作为多晶硅场板的介质层,其厚度也对器件的电学特性有着至关重要的影响. 图6的仿真结果展示了在不同的HTO厚度的影响下,多晶硅场板的电场调制作用发生的变化. 厚度越大时,多晶硅场板的作用减弱,整体的表面电场都发生了明显降低;厚度越小时,场板作用导致多晶硅栅边缘的电场尖峰越高,均不利于器件提高击穿电压和改善HCI可靠性. 因此选择淀积的HTO厚度为 350 \AA .

3.2 P型体区结构优化

随着LDMOS器件尺寸进入亚微米以下,器件尺寸

越来越小,沟道长度相应地也越来越短. 沟道长度缩短对于沟道注入工艺的要求就十分严格. 传统的沟道注入方式由于存在对位和套刻的误差,所以本文选择了利用自对准工艺进行P-Body注入来形成沟道. 自对准工艺P-Body工艺可以消除P-阱注入时由于对准误差导致的套刻精度问题,提高了工艺稳定性,从而对器件的鲁棒性有了很大的改善。

此外,当P-Body的注入能量增大,P-Body的结深深,PN结发生雪崩击穿之后,大量的空穴被P-Body区俘获,P-Body结深增加相当于等效的空穴路径更宽,等

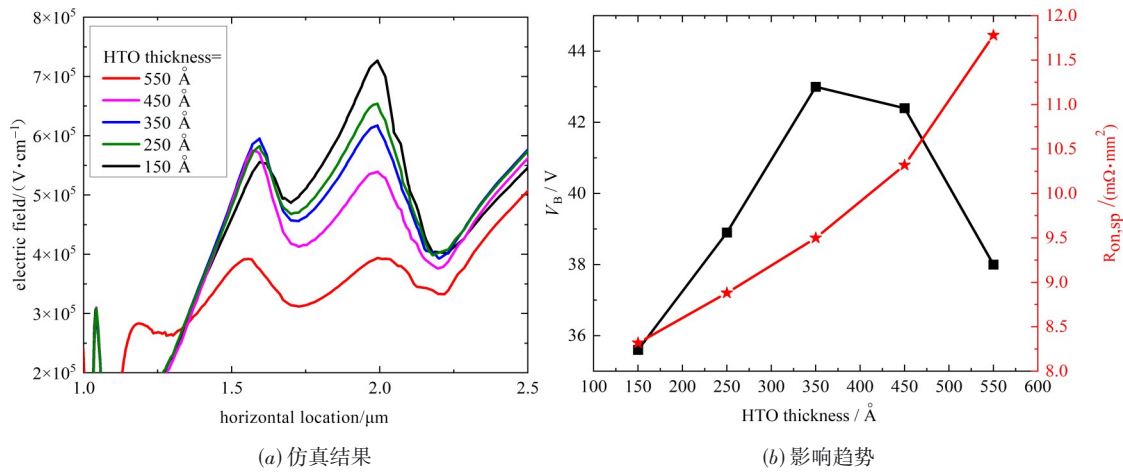


图6 HTO厚度对表面电场和器件特性的影响

效阻值更小,因此空穴在被俘获的路径上产生的电位更低,这样寄生的BJT也更容易触发。但是考虑到工艺平台现有的P-Body光刻胶厚度为19 000 Å,多晶硅厚度为2 000 Å,根据已有的注入工艺实验,如图7所示,在进行硼离子注入时,离子注入能量高于300 keV时可打穿2 000 Å的多晶硅注入半导体内部,并且对于19 000 Å的光刻胶,硼离子的注入能量高于650 keV时,就会打穿光刻胶。因此为了保证足够的工艺注入窗口,本实验中P-Body的注入能量最高为600 keV,最低为300 keV。为确定P-Body注入能量对于器件特性的影响趋势和机理,图8和图9显示了不同P-Body注入能量下LDMOS器件的掺杂分布以及碰撞电离示意图。从仿真所示的耗尽线和冶金结形貌分布来看,P-Body注入能量增大导致冶金结界面更加平缓,消除了结电场集中效应,更有利于对于漂移区横向的耗尽,尤其是积累区附近的耗尽区更宽,因此表面的碰撞电离率更低,且碰撞电离的峰值位置更远离器件表面,因此P-Body注入能量的影响趋势显示为注入能量越高,器件会有更高的耐压和更好的可靠性。但是受限于光刻胶厚度对于离子注入阻挡的能力,因此本实验选用的注入能量最高极限为600 keV。

但是随着P-Body注入能量增大,由于P-Body的注入窗口越来越窄,阱邻近效应带来的影响也越来越大。阱邻近效应是由于在深亚微米工艺中工艺线宽很小,在离子注入时,杂质离子会在光刻胶的侧面及边界处不断地碰撞从而被光刻胶散射或者反射进入半导体表面,从而影响沟道附近区域的杂质离子浓度,对器件的阈值电压产生影响。因此有必要对P-Body的注入窗口宽度进行优化。

首先考虑到高能量的离子注入对光刻胶的冲击,会导致光刻胶的边界形貌会回退,从而导致光刻胶不再是理想的垂直边界,而是一个有斜坡的边界;再加上

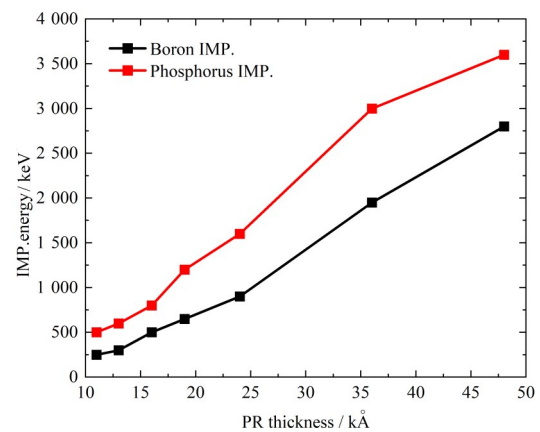


图7 光刻胶注入阻挡能力实验结果,反映不同厚度的光刻胶所能承受的离子注入的最高能量,对于现有的19 000 Å光刻胶,硼离子注入能量最高为650 keV

阱邻近效应的影响,会导致阈值电压均匀性更差。基于此,本文结合自对准工艺,设计了利用多晶硅栅作高能掩蔽层的P-Body注入窗口。在淀积了多晶硅之后,先不进行多晶硅栅的刻蚀工艺,而是先进行高能量的P-Body注入,利用多晶硅作为被散射或者反射到沟道的赘余杂质离子的掩蔽层。高能P-Body离子注入完成之后,再进行多晶硅刻蚀形成栅极,通过自对准工艺进行低能量的P-Body注入来调节阈值电压。

综合上述对HTO以及P-body注入能量参数的仿真,本文揭示了HTO长度 L_b 、HTO厚度以及P-Body注入能量对器件表面电场优化作用以及电学特性的影响,确定了HTO结构的较优参数为 $L_b=0.4 \mu\text{m}$,HTO厚度为350 Å。本文确定了P-Body的注入能量对表面碰撞电离的影响趋势,P-Body注入能量越高,漂移区和体区形成的冶金结的界面越平缓,消除了电场集中效应,降低了碰撞电离,提高了耐压。最后结合工艺稳定性和光刻胶的注入阻挡能力,确定了最高的P-Body注入能量为

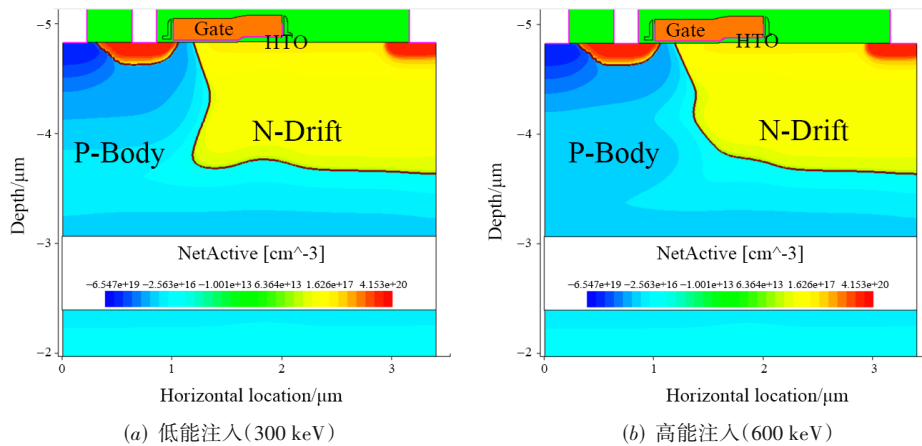


图 8 不同 P-Body 注入能量 LDMOS 器件掺杂分布示意图

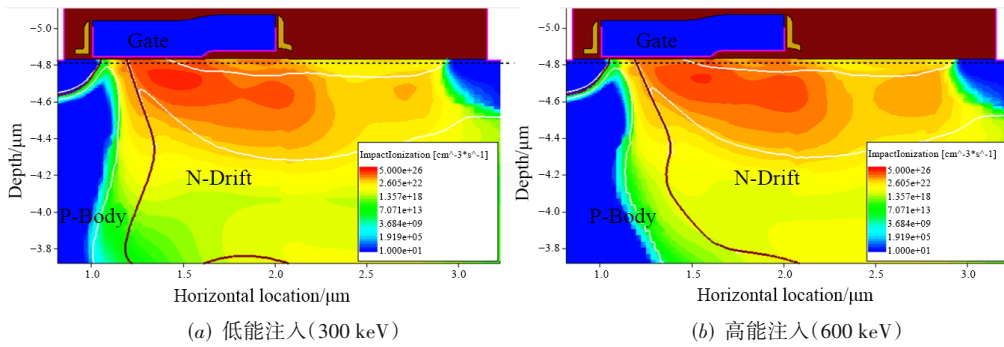


图 9 不同 P-Body 注入能量 LDMOS 器件碰撞电离仿真示意图

600 keV. 基于以上参数的 HTO-LDMOS 器件仿真结果如表 1 所示.

表 1 HTO-LDMOS 主要参数及电学特性仿真结果

$L_b/\mu\text{m}$	HTO thick-ness/ \AA	PB energy/keV	BV/V	$R_{on,sp}/\text{m}\Omega\cdot\text{mm}^2$
0.4	350	600	44.2	9.15
0.4	350	500	42.8	9.13
0.4	350	400	41.4	9.14
0.4	350	300	40.2	9.15

对于电学特性的仿真结果进一步说明随着 P-Body 能量增加, 击穿电压也得到了提高. 最终确定的结构参数即为 $L_b=0.4\ \mu\text{m}$, HTO 厚度为 $350\ \text{\AA}$, P-Body 注入能量为 $600\ \text{keV}$. 仿真结果得到的 BV 值为 $44.2\ \text{V}$, 比导通电阻值为 $9.15\ \text{m}\Omega\cdot\text{mm}^2$.

3.3 实验结果

本文通过无锡华润上华科技有限公司 $0.18\ \mu\text{m}$ BCD 工艺平台基于上述结构进行实验流片. 首先通过实验测试数据与前文关于 HTO 结构参数仿真数据进行对比, 验证了仿真研究的准确性. 测试结果如表 2 所示. 表中 STI-LDMOS 与 HTO-LDMOS 采用同等工艺条件, 即采用完全相同的漂移区和体区的注入条件以及完全相同的沟道和漂移区尺寸, 从而保证对比变量的

唯一性. 仿真和测试结果表明本文所设计的 HTO-LDMOS 拥有更低的比导通电阻.

表 2 LDMOS 特性参数实验结果

结构	测试结果		仿真结果	
	BV/V	$R_{on,sp}/\text{m}\Omega\cdot\text{mm}^2$	BV/V	$R_{on,sp}/\text{m}\Omega\cdot\text{mm}^2$
HTO-LDMOS	43.0	9.5	43.8	9.32
STI-LDMOS	43.6	14.2	44.0	13.89

为了更进一步表征 HTO-LDMOS 的形貌特征以及电学特性, 图 10 展示了本文所设计的 HTO-LDMOS 器件的扫描电子显微镜样品图. 图 11 展示了 HTO-LDMOS 在常温下的 DC 特性曲线, 其中参考了国内其他 $0.18\ \mu\text{m}$ BCD 工艺平台 nLDMOS 器件的耐压和比导通电阻表现^[22-26]. HTO-LDMOS 的比导通电阻是通过源极中心到漏极中心的总长度进行计算的, 该距离通过本器件版图测量得到, 其值为 $2.485\ \mu\text{m}$, 器件宽度为 $50\ \mu\text{m}$, 通过计算得到面积为 $1.2425 \times 10^{-4}\ \text{mm}^2$, 通过 I_d-V_g 测试得到 $V_g=5\ \text{V}$ 时的线性区电流 $I_{dlin}=1.308 \times 10^{-3}\ \text{A}$, 漏极电压为 $0.1\ \text{V}$, 导通电阻 $R_{on}=7.64 \times 10^4\ \text{m}\Omega$, 通过计算, 导通电阻乘以面积得到比导通电阻 $R_{on,sp}=9.5\ \text{m}\Omega\cdot\text{mm}^2$. 以下电学特性曲线通过安捷伦 B1500 机台测试得到.

为了评估 HTO-LDMOS 的 HCI 可靠性, 通过 HCI 应

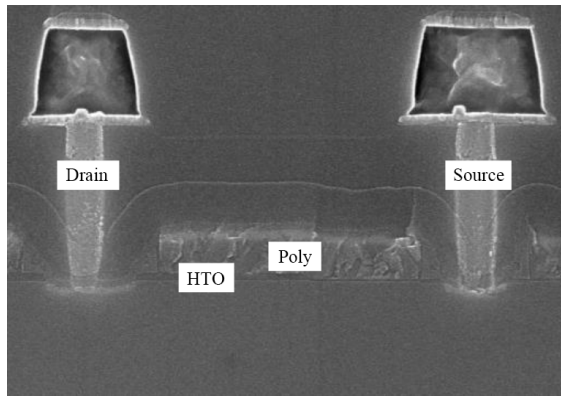


图 10 HTO-LDMOS扫描电子显微镜样品图

力加速退化实验预估器件寿命. HCI应力加速退化实验是指对器件持续施加 10 000~100 000 s 的 HCI 应力, 在应力期间监控器件线性区电流 I_{dlin} 的退化, 直至退化饱和, 饱和后的 I_{dlin} 退化量作为预估器件寿命的重要指标, 其值不超过 10%. 本文主要针对中栅压高漏压应力条件下, 电场集中对 HTO 和多晶硅场板前段时的 HCI 可靠性进行了 HCI 应力加速退化实验, HCI 应力为 $V_{\text{GS}}=3 \text{ V}$, $V_{\text{drain}}=24 \text{ V}$. 图 12 展示了优化后 HTO-LDMOS

的 HCI 应力加速实验下 I_{dlin} 退化表现. 作为对照, 本实验对常规的 STI-LDMOS 在同样的应力条件下进行了实验对比. 其中 STI-LDMOS 器件的工艺参数跟本文所设计 HTO-LDMOS 完全相同, 唯一变量为氧化层结构不同. 测试时间为 10 000 s, 分别在应力时间 $t=0 \text{ s}$ 到 10 000 s 的应力时间内的不同时间节点对器件进行线性区电流 I_{dlin} 测试, 从而得到器件在不同时间节点由于 HCI 应力导致的线性区电流退化量和阈值电压退化量. 测试结果表明, HTO-LDMOS 器件在 10 000 s 的 HCI 应力之后 I_{dlin} 的退化量为 0.87%, V_{th} 的退化量为 0.42%, 相比于 STI-LDMOS, I_{dlin} 的退化量得到了超过 82% 的改善.

4 结论

基于热载流子的退化研究, 优化设计了基于 HTO 的 LDMOS 结构, 并通过仿真分析与流片实验, 最终确定 HTO 的厚度为 350 \AA , HTO 与多晶硅重叠区域的长度 L_{p} 为 0.4 \mu m , P-Body1 注入能量为 600 keV. 该 HTO-LDMOS 的击穿电压为 43 V, 比导电电阻值为 $9.5 \text{ m}\Omega \cdot \text{mm}^2$. 通过 HTO 结构和高能 P-Body 注入对表面电场的优化,

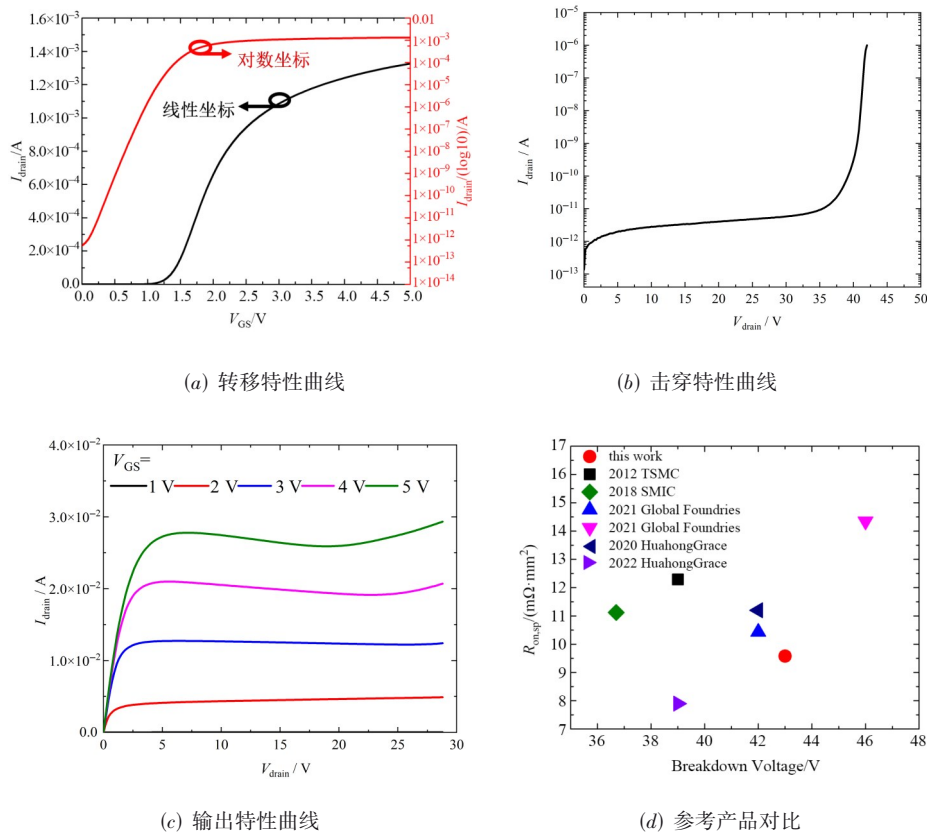


图 11 HTO-LDMOS测试结果

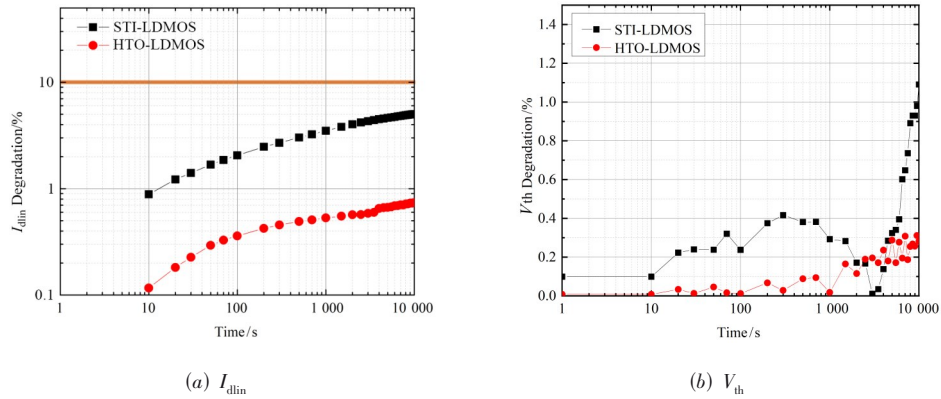


图 12 HTO-LDMOS 应力加速实验结果

在 HCI 应力加速退化实验中,该 HTO-LDMOS 结构在 10 000 s 之后 I_{dlin} 的退化量仅为 0.87%, V_{th} 的退化量为 0.42%。综上,本论文所研究的 HTO-LDMOS 是一种高可靠低损耗的 LDMOS 器件。

参考文献

- [1] LIU S Y, SUN W F, QIAN Q S, et al. A review on hot-carrier-induced degradation of lateral DMOS transistor[J]. IEEE Transactions on Device and Materials Reliability, 2018, 18(2): 298-312.
- [2] STATHIS J H, DIMARIA D J. Reliability projection for ultrathin oxides at low voltage[C]//International Electron Devices Meeting 1998. Technical Digest (Cat. No. 98CH36217). Piscataway: IEEE, 2002: 167-170.
- [3] CHO K, KO S, MACHIDA F, et al. Investigation of HCI reliability in interdigitated LDMOS[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Piscataway: IEEE, 2015: 69-72.
- [4] CHEN J F, TIAN K S, CHEN S Y, et al. Gate current dependent hot-carrier-induced degradation in LDMOS transistors[J]. Electronics Letters, 2008, 44(16): 991-992.
- [5] MOENS P, MERTENS J, BAUWENS F, et al. A comprehensive model for hot carrier degradation in LDMOS transistors[C]//2007 IEEE International Reliability Physics Symposium Proceedings. 45th Annual. Piscataway: IEEE, 2007: 492-497.
- [6] MANZINI S. Hot carrier degradation in a class of radio frequency n-channel LDMOS transistors[C]//2006 IEEE International Reliability Physics Symposium Proceedings. Piscataway: IEEE, 2006: 338-344.
- [7] MOENS P, VANDENBOSCH G, GROESENEKEN G. Hot-carrier degradation phenomena in lateral and vertical DMOS transistors[J]. IEEE Transactions on Electron Devices, 2004, 51(4): 623-628.
- [8] BRISBIN D, LINDORFER P, CHAPARALA P. Substrate current independent hot carrier degradation in NLD MOS devices[C]//2006 IEEE International Reliability Physics Symposium Proceedings. Piscataway: IEEE, 2006: 329-333.
- [9] CHEN J F, TIAN K S, CHEN S Y, et al. Mechanism and modeling of on-resistance degradation in n-type lateral diffused metal-oxide-semiconductor transistors[J]. Japanese Journal of Applied Physics, 2009, 48(4S): 04C040.
- [10] TAKEDA E, SHIMIZU A, HAGIWARA T. Role of hot-hole injection in hot-carrier effects and the small degraded channel region in MOSFET's[J]. IEEE Electron Device Letters, 1983, 4(9): 329-331.
- [11] TAM S, KO P K, HU C. Lucky-electron model of channel hot-electron injection in MOSFET'S[J]. IEEE Transactions on Electron Devices, 1984, 31(9): 1116-1125.
- [12] NEZAR A, SALAMA C A T. Breakdown voltage in LDMOS transistors using internal field rings[J]. IEEE Transactions on Electron Devices, 1991, 38(7): 1676-1680.
- [13] CHEN J F, TIAN K S, CHEN S Y, et al. Mechanism and lifetime prediction method for hot-carrier-induced degradation in lateral diffused metal-oxide-semiconductor transistors[J]. Applied Physics Letters, 2008, 92(24): 243501.
- [14] CHEN J F, CHEN S Y, WU K M, et al. Convergence of hot-carrier-induced saturation region drain current and on-resistance degradation in drain extended MOS transistors [J]. IEEE Transactions on Electron Devices, 2009, 56(11): 2843-2847.
- [15] 刘红侠, 郝跃. 脉冲应力增强的 NMOSFET's 热载流子效应研究[J]. 电子学报, 2002, 30(5): 658-660.
LIU H X, HAO Y. Study on pulse stress enhanced hot-carrier effects in NMOSFET's[J]. Acta Electronica Sinica, 2002, 30(5): 658-660. (in Chinese)
- [16] AARTS A C T, KLOOSTERMAN W J. Compact modeling of high-voltage LDMOS devices including quasi-satu-

- ration[J]. IEEE Transactions on Electron Devices, 2006, 53(4): 897-902.
- [17] HUNG W C, TU Y F, CHANG T C, et al. Abnormal on-current degradation under non-conductive stress in contact field plate lateral double-diffused metal-oxide-semiconductor transistor with 0.13 μm bipolar-CMOS-DMOS technology[J]. IEEE Electron Device Letters, 2022, 43(5): 769-772.
- [18] LIU S Y, ZHANG C W, XU K K, et al. Hot-carrier-induced degradations investigations for 600 V SOI-LIGBT by an improved charge pumping solution[J]. IEEE Transactions on Electron Devices, 2017, 64(2): 634-637.
- [19] CHEN C, MA T P. Direct lateral profiling of hot-carrier-induced oxide charge and interface traps in thin gate MOSFET's[J]. IEEE Transactions on Electron Devices, 1998, 45(2): 512-520.
- [20] 任红霞, 郝跃, 许冬岗. 深亚微米槽栅 NMOSFET 结构参数对其抗热载流子特性的影响[J]. 电子学报, 2001, 29(2): 160-163.
- REN H X, HAO Y, XU D G. Study on the influence for structure parameters on the hot-carrier-effect immunity in NMOSFET[J]. Acta Electronica Sinica, 2001, 29(2): 160-163. (in Chinese)
- [21] 刘斯扬, 于朝辉, 张春伟, 等. 不同栅压应力下 1.8 V pMOS 热载流子退化机理研究[J]. 电子学报, 2016, 44(2): 348-352.
- LIU S Y, YU C H, ZHANG C W, et al. Investigation on the hot-carrier-induced degradation for 1.8 V pMOS under different gate voltage stresses[J]. Acta Electronica Sinica, 2016, 44(2): 348-352. (in Chinese)
- [22] CHOU H L, SU P C, NG J C W, et al. 0.18 μm BCD technology platform with best-in-class 6 V to 70 V power MOSFETs[C]//2012 24th International Symposium on Power Semiconductor Devices and ICs. Piscataway: IEEE, 2012: 401-404.
- [23] YAO Y, HU L H, WANG G N, et al. Advanced n-channel LDMOS with ultralow specific on-resistance by 0.18 μm epitaxial BCD technology[C]//2018 China Semiconductor Technology International Conference (CSTIC). Piscataway: IEEE, 2018: 1-3.
- [24] HÉBERT F, PARVARANDEH P, LI M, et al. Building blocks of past, present and future BCD technologies[C]//2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Piscataway: IEEE, 2021: 11-16.
- [25] CHEN H L, XU Z Z, CHEN Y, et al. Low on-resistance LDMOS with stepped field plates from 12 V to 40 V in 300-MM 90-NM BCD technology[C]//2022 China Semiconductor Technology International Conference (CSTIC). Piscataway: IEEE, 2022: 1-4.
- [26] XU Z Z, LIU D H, HU J, et al. Demonstration of improvement of specific on-resistance versus breakdown voltage tradeoff for low-voltage power LDMOS[J]. Microelectronics Journal, 2019, 88: 29-36.

作者简介



邵红男, 1969年出生, 江苏无锡人. 本科毕业于电子科技大学, 东南大学硕士, 现任无锡华润上华科技有限公司高级工程师. 主要研究方向为功率集成器件设计制造.
E-mail: shaoh@csmc.crmicro.com